Министерство образования и науки РФ

Федеральное государственное автономное

образовательное учреждение высшего образования

«Национальный исследовательский университет ИТМО»

**факультет программной инженерии и компьютерной техники**

**ЛАБОРАТОРНАЯ РАБОТА №1**

по дисциплине

‘Функциональная схемотехника’

Вариант №6

*Выполнил:*

Студент группы P33312

Соболев Иван Александрович

*Преподаватель:*

Табунщик Сергей Михайлович



Санкт-Петербург, 2024

Оглавление

[Цели работы: 2](#_Toc159860022)

[Задание: 2](#_Toc159860023)

[Часть №1. LTSpice. 2](#_Toc159860024)

[Разработка вентиля. 2](#_Toc159860025)

[Разработка БОЭ. 5](#_Toc159860026)

[Часть № 2. Verilog. 12](#_Toc159860027)

[Выводы по работе: 18](#_Toc159860028)

# Цели работы:

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.

2. Познакомиться с технологией SPICE-моделирования схем на транзисторах.

3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

# Задание:

Логический базис – NAND; БОЭ – позиционный дешифратор «3 в 8».

# Часть №1. LTSpice.

## Разработка вентиля.

Схема разработанного вентиля:

VIN{1, 2} – входы, VOUT - выход, VDD – напряжение питания; использовано по 2 транзистора PMOS и NMOS.

Изображение выглядит как текст, снимок экрана, диаграмма, Шрифт

Автоматически созданное описание

Рисунок 1 – схема вентиля

Символ вентиля:

Изображение выглядит как текст, диаграмма, Шрифт, линия

Автоматически созданное описание

Рисунок 2 – символ вентиля

Схема тестирования:

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рисунок 3 – схема тестирования

VDD = VIN = 1 В; начальное напряжение - 0 В, активное напряжение - 1 В, задержка запуска - 10 нс, время фронта и спада - 10 пс, активное время первого источника напряжения - 20 нс, период - 40 нс, для следующего последние две характеристики в два раза больше, а частоты, соответственно, меньше; резистор и конденсатор отвечают за имитацию задержки.

Временная диаграмма процесса тестирования вентиля:

Изображение выглядит как диаграмма, снимок экрана, линия, График

Автоматически созданное описание

Рисунок 4 – временная диаграмма NAND

1 В – логическая единица, 0 В – логический ноль; NAND подаёт на выход единицу во всех случаях, кроме равенства единице обоих входных сигналов.

Это отображено на рисунке – на 10 и 90 нс выходной сигнал падает в ноль и остаётся таким в течение 10 нс, после чего выходит обратно в единицу.

Результат измерения задержки распространения сигнала через вентиль:

Изображение выглядит как График, диаграмма, текст, линия

Автоматически созданное описание

Рисунок 5 – задержка спада

Изображение выглядит как снимок экрана, программное обеспечение, линия, График

Автоматически созданное описание

Рисунок 6 – задержка фронта

Два курсора на верхней (~ 1 В) и нижней (~ 0 В) границах заднего фронта.

Задержка фронта равна T1 ~ 2,46 нс

Задержка спада равна T2 ~ 2,43 нс

Тогда максимальная частота работы вентиля равна f = 1/(T1+Т2) = 204 МГц

## Разработка БОЭ.

На базе данного вентиля для удобства разработки БОЭ (дешифратора 3 в 8) я создал также инвертор и NAND с 4 входами. Инвертор необходим для конечного инвертирования. Так как обычно схема инвертора состоит из AND, а мы используем NAND – надо еще раз инвертировать.

Схема и символ инвертора.

Логическое выражение: 𝐴=𝐴&𝐴

Изображение выглядит как текст, Шрифт, снимок экрана, диаграмма

Автоматически созданное описание

Рисунок 7 – схема инвертора

Изображение выглядит как текст, Шрифт, диаграмма, линия

Автоматически созданное описание

Рисунок 8 – символ инвертора

Схема и символ NAND с 4 входами.

Логическое выражение:

Изображение выглядит как текст, снимок экрана, Шрифт, диаграмма

Автоматически созданное описание

Рисунок 9 – схема NAND с 4 входами

Изображение выглядит как текст, диаграмма, снимок экрана, Шрифт

Автоматически созданное описание

Рисунок 10 – символ NAND с 4 входами

Временная диаграмма процесса тестирования вентиля:

Изображение выглядит как снимок экрана, линия, текст, График

Автоматически созданное описание

Рисунок 11 – временная диаграмма тестирования NAND с 4 входами

Схема разработанного БОЭ:

Изображение выглядит как текст, диаграмма, число, Параллельный

Автоматически созданное описание

Рисунок 12 – схема БОЭ

Модуль преобразует трёхразрядное двоичное число на входе в десятичное на выходе (вернее, в его унитарный код). На вход модулю подаётся двоичное число от 0 до 7 (входы S{0-2} соответствуют его разрядам, S2 - старший, S0 - младший), на выходе находятся 8 бит (D{0-7}), один из которых, порядок которого соответствует входу, становится равным 1, если сигнал разрешения EN (Enable), отвечающий за активность дешифратора, равен 1 (при равном 0 весь выход тоже будет нулевой). При изменении входа единице станет равен уже другой бит, а предыдущий обнулится.

Символ разработанного БОЭ:

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рисунок 13 – символ БОЭ

Схема тестирования:

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рисунок 14 – схема тестирования БОЭ

Временная диаграмма процесса тестирования БОЭ:

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рисунок 15 – временная диаграмма

Результат измерения задержки распространения сигнала через БОЭ:

Изображение выглядит как текст, снимок экрана, диаграмма, число

Автоматически созданное описание

Рисунок 16 - Задержка спада

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рисунок 17 - Задержка фронта

Два курсора на верхней (~ 1 В) и нижней (~ 0 В) границах заднего фронта.

Задержка спада равна T1 ~ 2,87 нс

Задержка фронта равна T2 ~ 1,4 нс

Тогда максимальная частота работы БОЭ равна f = 1/(T1+Т2) = 234 МГц

# Часть № 2. Verilog.

Код разработанного модуля БОЭ:

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рисунок 18 – код БОЭ

Изображение выглядит как текст, снимок экрана, Шрифт, документ

Автоматически созданное описание

Рисунок 19 - код БОЭ

Изображение выглядит как текст, снимок экрана, Шрифт, документ

Автоматически созданное описание

Рисунок 20 - код БОЭ

Изображение выглядит как текст, Шрифт, снимок экрана, линия

Автоматически созданное описание

Рисунок 21 - код БОЭ

Вход: 3-битная шина s с декодируемым числом и сигнал разрешения en.

Выход: 8-битная шина d, где порядок равного 1 бита соответствует декодированному числу.

Используются 6 вспомогательных (5 6-битных и 1 3-битная) шин для передачи результатов операции NAND.

not\_s, not\_d – инвертированные биты шин s и d.

(not\_)s\_2\_1[n] - (не)инвертированные биты результата (not\_)s[2] NAND (not\_)s[1] (т.е. выполнение NAND для соответствующих числу n по инверсии старшего и среднего битов).

(not\_)s\_0\_en[n] - (не)инвертированные биты результата (not\_)s[0] NAND (not\_)en (т.е. выполнение NAND для соответствующего числу n по инверсии младшего бита и сигнала разрешения).

Можно заметить, что в коде 8 раз повторяются разделённые переносом 5 строчек, которые отличаются только номером бита и присутствием/отсутствием приставки «not\_» для нужной для этого числа инверсии.

Код разработанного тестового окружения БОЭ:

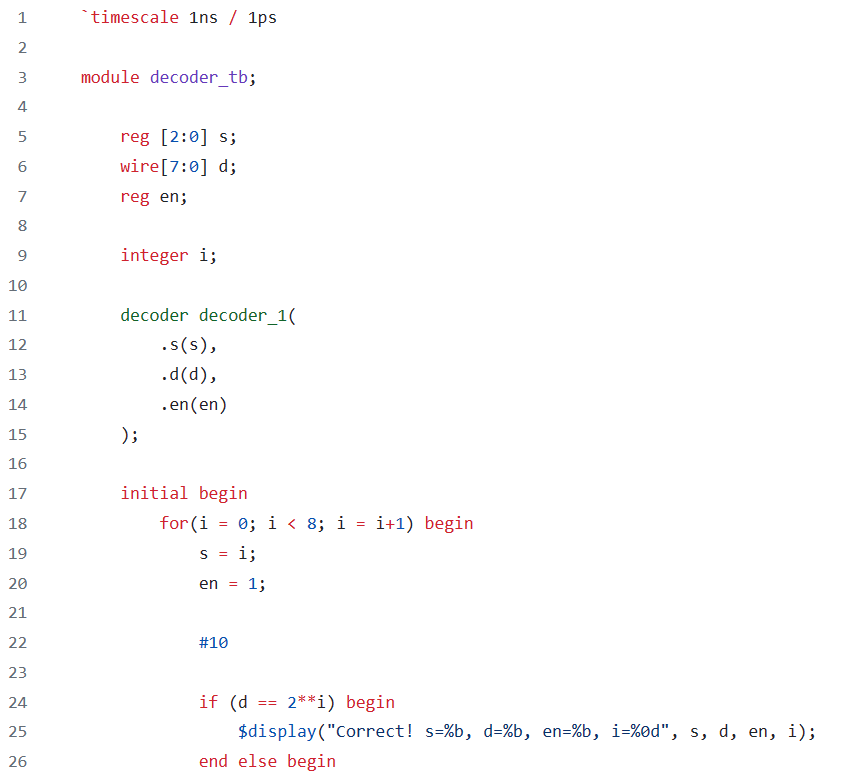


Рисунок 22 – Код тестового окружения

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рисунок 23 - Код тестового окружения

В тестовом окружении задаются переменные входа (s, en) и выхода (d), а также целочисленная переменная i, которая будет изменяться в цикле от 0 до 8; её значение будет присваиваться шине s. Затем проверяется работоспособность дешифратора при включенном и выключенном сигнале разрешения; так как число на входе соответствует порядку равного 1 бита, можно проверять это как равенство результата степени двойки этого числа.

Временная диаграмма процесса тестирования БОЭ:

Изображение выглядит как снимок экрана

Автоматически созданное описание

Рисунок 24 - временная диаграмма

Изображение выглядит как снимок экрана, линия

Автоматически созданное описание

Рисунок 25 - временная диаграмма

Как можно видеть, во время процесса тестирования переменная i изменялась от 0 до 8 каждые 20 нс, переменная s – от 0 до 7 (в последний раз присваивания не происходило), сигнал en каждые 10 нс инвертировался, вследствие чего переменная d в течение этого промежутка времени менялась от степени двойки числа s к 0 и наоборот.

Вывод в консоль:

Correct! s=000, d=00000001, en=1, i=0

Correct! s=000, d=00000000, en=0, i=0

Correct! s=001, d=00000010, en=1, i=1

Correct! s=001, d=00000000, en=0, i=1

Correct! s=010, d=00000100, en=1, i=2

Correct! s=010, d=00000000, en=0, i=2

Correct! s=011, d=00001000, en=1, i=3

Correct! s=011, d=00000000, en=0, i=3

Correct! s=100, d=00010000, en=1, i=4

Correct! s=100, d=00000000, en=0, i=4

Correct! s=101, d=00100000, en=1, i=5

Correct! s=101, d=00000000, en=0, i=5

Correct! s=110, d=01000000, en=1, i=6

Correct! s=110, d=00000000, en=0, i=6

Correct! s=111, d=10000000, en=1, i=7

Correct! s=111, d=00000000, en=0, i=7

# Выводы по работе:

В процессе выполнения данной работы я познакомился со средой Ltspice и языком описания аппаратуры Verilog. В качестве опытного образца я создал собственный вентиль NAND и на его основе создал и протестировал позиционный шифратор «3 в 8».