Министерство образования и науки РФ

Федеральное государственное автономное

образовательное учреждение высшего образования

«Национальный исследовательский университет ИТМО»

**факультет программной инженерии и компьютерной техники**

**ЛАБОРАТОРНАЯ РАБОТА №1**

по дисциплине

‘Функциональная схемотехника’

Вариант №6

*Выполнил:*

Студент группы P33312

Соболев Иван Александрович

*Преподаватель:*

Табунщик Сергей Михайлович



Санкт-Петербург, 2024

**Цели работы:**

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.

2. Познакомиться с технологией SPICE-моделирования схем на транзисторах.

3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

**Задание:**

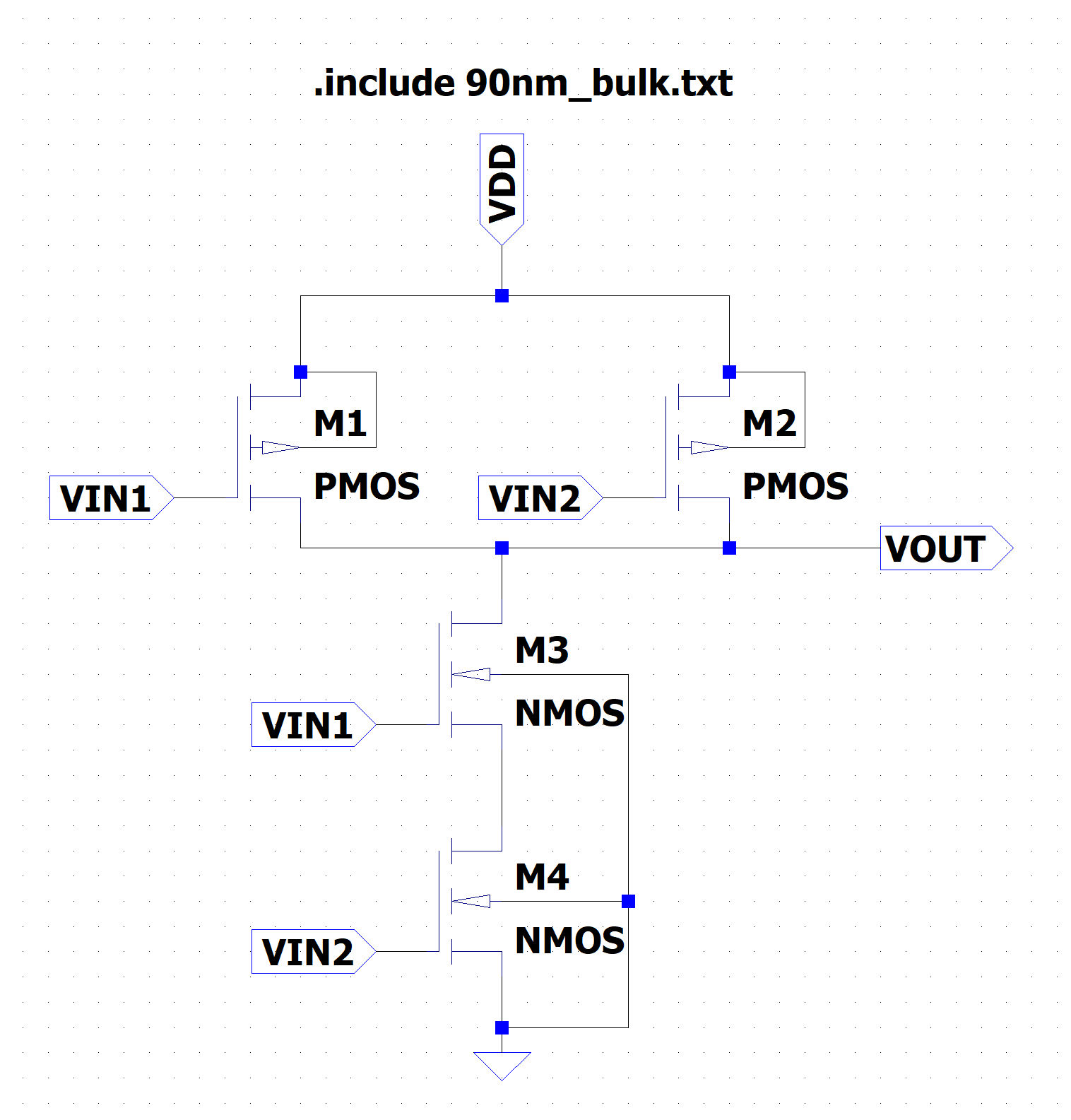
Логический базис – NAND; БОЭ – позиционный дешифратор «3 в 8».

**Часть №1. LTSpice.**

**Разработка вентиля.**

Схема разработанного вентиля:

VIN{1, 2} – входы, VOUT - выход, VDD – напряжение питания; использовано по 2 транзистора PMOS и NMOS.



Символ вентиля:

Изображение выглядит как текст, диаграмма, Шрифт, линия

Автоматически созданное описание

Схема тестирования:

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

VDD = VIN = 1 В; начальное напряжение - 0 В, активное напряжение - 1 В, задержка запуска - 10 нс, время фронта и спада - 10 пс, активное время первого источника напряжения - 20 нс, период - 40 нс, для следующего последние две характеристики в два раза больше, а частоты, соответственно, меньше; резистор и конденсатор отвечают за имитацию задержки.

Временная диаграмма процесса тестирования вентиля:

Изображение выглядит как диаграмма, снимок экрана, линия, График

Автоматически созданное описание

1 В – логическая единица, 0 В – логический ноль; NAND подаёт на выход единицу во всех случаях, кроме равенства единице обоих входных сигналов.

Это отображено на рисунке – на 10 и 90 нс выходной сигнал падает в ноль и остаётся таким в течение 10 нс, после чего выходит обратно в единицу.

Результат измерения задержки распространения сигнала через вентиль:

Изображение выглядит как График, диаграмма, текст, линия

Автоматически созданное описание

Два курсора на верхней (~ 1 В) и нижней (~ 0 В) границах заднего фронта.

Задержка равна T ~ 2,4 нс

Тогда максимальная частота работы вентиля равна f = 1/T = 417 МГц

**Разработка БОЭ.**

На базе данного вентиля для удобства разработки БОЭ (дешифратора 3 в 8) я создал также инвертор и NAND с 4 входами. Инвертор необходим для конечного инвертирования. Так как обычно схема инвертора состоит из AND, а мы используем NAND – надо еще раз инвертировать.

Схема и символ инвертора.

Логическое выражение: 𝐴=𝐴&𝐴

Изображение выглядит как текст, Шрифт, снимок экрана, диаграмма

Автоматически созданное описаниеИзображение выглядит как текст, Шрифт, диаграмма, линия

Автоматически созданное описание

Схема и символ NAND с 4 входами.

Логическое выражение:

Изображение выглядит как текст, снимок экрана, Шрифт, диаграмма

Автоматически созданное описаниеИзображение выглядит как текст, диаграмма, снимок экрана, Шрифт

Автоматически созданное описание

Временная диаграмма процесса тестирования вентиля:

Изображение выглядит как снимок экрана, линия, текст, График

Автоматически созданное описание

Схема разработанного БОЭ:

Изображение выглядит как текст, диаграмма, число, Параллельный

Автоматически созданное описание

Модуль преобразует трёхразрядное двоичное число на входе в десятичное на выходе (вернее, в его унитарный код). На вход модулю подаётся двоичное число от 0 до 7 (входы S{0-2} соответствуют его разрядам, S2 - старший, S0 - младший), на выходе находятся 8 бит (D{0-7}), один из которых, порядок которого соответствует входу, становится равным 1, если сигнал разрешения EN (Enable), отвечающий за активность дешифратора, равен 1 (при равном 0 весь выход тоже будет нулевой). При изменении входа единице станет равен уже другой бит, а предыдущий обнулится.

Символ разработанного БОЭ:

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Схема тестирования:

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Временная диаграмма процесса тестирования БОЭ:

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Результат измерения задержки распространения сигнала через БОЭ:

Изображение выглядит как текст, снимок экрана, диаграмма, число

Автоматически созданное описание

Два курсора на верхней (~ 1 В) и нижней (~ 0 В) границах заднего фронта.

Задержка равна T ~ 2,87 нс

Тогда максимальная частота работы БОЭ равна f = 1/T = 348 МГц

**Часть № 2. Verilog.**

Код разработанного модуля БОЭ: